

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5-299984

(43) 公開日 平成 5 年 (1993) 11 月 12 日

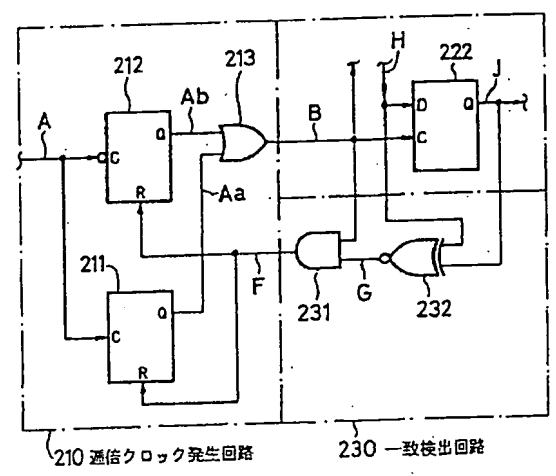
(51) Int. Cl. ⁵	識別記号	庁内整理番号	F 1	技術表示箇所
H 03 K 5/00		M 7402-5 J		
// H 04 N 5/12		A 9070-5 C		

審査請求 未請求 請求項の数 3 (全 9 頁)

(21) 出願番号	特願平 4-351737	(71) 出願人	000116024 ローム株式会社 京都府京都市右京区西院溝崎町 21 番地
(22) 出願日	平成 4 年 (1992) 12 月 8 日	(72) 発明者	沢村 陽 京都市右京区西院溝崎町 21 番地 ローム株式 会社社内
(31) 優先権主張番号	特願平 3-350258	(74) 代理人	弁理士 梶山 信是 (外 1 名)
(32) 優先日	平 3 (1991) 12 月 9 日		
(33) 優先権主張国	日本 (JP)		

(54) 【発明の名称】 周波数通倍回路及び画面表示装置

(57) 【要約】
【目的】 外付けコンデンサが不要で、完全に 1 チップ化することが可能な構成の周波数通倍回路及びこの回路を有する画面表示装置を実現する。
【構成】 通倍クロック発生回路 210 は、基本クロック A を受けてその立上がり及び立下がりのタイミングで通倍信号 B を立ち上げる。一致検出回路 230 は、フリップフロップ 222 が通倍クロック B を受けて動作したことを検出して一致検出信号 F を出力する。すると、フリップフロップ 211、222 が初期化されて通倍信号 B が立下がる。その結果、基本クロック A の 2 倍の周波数を有し、フリップフロップ 222 を確実に動作させ得るパルス幅を有する通倍クロック B を、コンデンサを用いずに発生することができる。



【特許請求の範囲】

【請求項1】第1のフリップフロップが基本クロックの立上りのタイミングで通倍クロックの1パルスの出力を開始し検出信号を受けて出力を停止し第2のフリップフロップが前記基本クロックの立下りのタイミングで前記通倍クロックの1パルスの出力を開始し前記検出信号を受けて出力を停止する通倍クロック発生回路と、前記通倍クロック発生回路の出力をクロック入力として受けて入力状態を記憶する第3のフリップフロップと、前記通倍クロック発生回路の出力を受けて第3のフリップフロップが前記記憶する動作の完了後の出力値となつて

いること又は第3のフリップフロップの入力値と出力値とが一致していることを検出して前記検出信号を出力する検出回路と、を備えることを特徴とする周波数通倍回路。

【請求項2】請求項1記載の周波数通倍回路であつて、前記通倍クロック発生回路の出力をクロック入力として受けて動作する1個以上の第4のフリップフロップを有する順序回路に同数の第3のフリップフロップが属して第4のフリップフロップに1対1に対応し、それぞれ第4のフリップフロップの入力信号とすべき信号に対応する第3のフリップフロップの入力信号とし、それぞれ第3のフリップフロップの出力信号に対応する第4のフリップフロップの入力信号とし、第3のフリップフロップは前記通倍クロック発生回路の出力の立上がり（又は立下がり）のタイミングで動作し、第4のフリップフロップは前記通倍クロックの立下がり（又は立上がり）のタイミングで動作し、前記検出回路は前記通倍クロック発生回路の出力を受けると全ての第3のフリップフロップについて入力値と出力値とが等しいことを検出して前記検出信号を出力することを特徴とする周波数通倍回路。

【請求項3】請求項1又は請求項2記載の周波数通倍回路を有することを特徴とする画面表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、周波数通倍回路及び画面表示装置に関し、詳しくは、テレビジョンやVTR等の映像機器のAFC等に用いられ、基本クロックの立上がりとし立下りのタイミングでパルスを出力することで基本クロックの2倍の周波数の通倍クロックを発生する周波数通倍回路及びこの周波数通倍回路を有する画面表示装置に関する。

【0002】

【従来の技術】テレビジョン等の映像表示装置においては、受信した映像信号を表示するためのタイミング信号として水平同期信号や垂直同期信号等の同期信号を使用する。このため、VTR等の記録装置においては、映像信号とともに或は映像信号に含まれて各種の同期信号も記録され、再生時には同期信号も再生されてタイミング信号として使用される。

【0003】しかし、VTRには高速低速再生等の機能が一般的に採用されており、かかる場合には記録された同期信号を単純に再生するだけでは再生された同期信号の周期等が不正確なため、再生された同期信号をそのまま用いることができない。例えば、高速再生時には標準速度との速度比に応じて同期信号を間引かなければならない。そこで、再生された同期信号に代わり、それに同期する標準の周波数の信号が必要とされる。

【0004】このような信号を発生するための回路としていわゆるAFC回路があり、その前段部では、約14.3MHzの基本クロックを受けて一旦2倍の周波数である約28.6MHzに通倍し、この通倍クロックを切換え信号に応じて7分周又は8分周することが行われている。さらに243分周することで標準の水平同期の周波数である15.75KHzの信号が生成される。ここで、28.6MHzのクロックを専用の発振回路で直接発生させることをしないのは、正確な周波数で発振する発振回路を構成するには高価で大きなサイズの水晶発振器を要するためである。通常、装置には映像信号受信などのための基本クロックの発生回路が既に存在しており、そこで発生される正確な基本クロックを使用することで、比較的コストをかけずに代わりの回路が構成できるからである。

【0005】図5は、そのような回路の従来例であり、周波数通倍回路10と分周回路20とからなるAFC回路の前段部分のブロック図である。ここで、11はコンデンサ、12は抵抗であり、21、22、23、24、25、26はフリップフロップ、27はNORゲートである。通倍回路10は、コンデンサ11と抵抗12とからなる充放電回路いわゆる微分回路等を有して、基本クロックAの立上がり及び立下りを検出し、その度に通倍クロックBを出力する。よって、通倍クロックBは基本クロックAの2倍の周波数となる。

【0006】分周回路20は、通倍クロックBを受け、それを7分周又は8分周して生成した分周信号EをAFC回路の後段部分へ出力する。そのために、フリップフロップ22、23、24、25、26とNORゲート27が環状に接続されて通倍クロックBを分周するためのカウンタを構成している。さらに、分周比切換え信号Cをフリップフロップ21で同期化した信号でフリップフロップ26が通倍クロックBに応じて動作するか否かを制御することで、7分周するか8分周するかを切換える。

【0007】このような構成の前段部分を有するAFC回路は、他に位相検波回路や比較回路等を有して分周比切換え信号Cのデューティ比を制御することにより、必要な周波数の分周信号Eを発生することができる。具体的に述べると、約14.3MHzの基本クロックAを受け、通倍回路10により約28.6MHzの通倍クロックBとし、これを7×243分周（約14.6KHz）

又は 8×243 分周(約16.8 KHz)するが、このときに分周比切換え信号Cによりこれらの分周比を混合することで15.75 KHzの分周信号Eを生成する。

【0008】

【発明が解決しようとする課題】このように、従来のAFC回路等においては、固有の発振回路を持たずに既存の基本クロックを通信回路で周波数を2倍にすることで、必要な周波数の通信クロックを生成している。こうすることで水晶発振器の追加が不要となるので、この回路構成によりコストやサイズ等の制約をクリアしようとしている。しかし、競争の激しいVTR等においてはコストダウンの要求が強く、特に、カメラ型VTR等においてはコストダウンに加えて小形化の要求も極めて強く、単に水晶発振器を節約しただけでは不十分である。そこで、さらなる要求に答えるためには、高集積化による回路の1チップ化という技術的手段が図られることとなる。

【0009】ところが、通信回路を用いた従来の構成のAFC回路では、通信回路にコンデンサを必要とするため、いかに高集積化を進めても回路基板上にICの他に外付け部品をも搭載しなければならない。このことは、組立てコストがそれ以上には下がらないことを意味し、好ましくない。また、コンデンサはその容量や特性が温度変化や経時変化しやすく、論理ICに比較すると遥かに信頼性が低い部品であり、コンデンサで時定数を定める回路の構成は、それを採用した装置の長期信頼性の面からも問題がある。この発明の目的は、このような従来技術の問題点を解決するためのものであって、完全に1チップ化することが可能な構成の周波数通信回路を実現し、もって、画面表示装置等のコスト低減及び性能向上に貢献することにある。

【0010】

【課題を解決するための手段】この目的を達成するためのこの発明の周波数通信回路の第1の構成は、第1のフリップフロップが基本クロックの立上りのタイミングで通信クロックの1パルスの出力を開始し検出信号を受けて出力を停止し、第2のフリップフロップが前記基本クロックの立下りのタイミングで前記通信クロックの1パルスの出力を開始し前記検出信号を受けて出力を停止する通信クロック発生回路と、前記通信クロック発生回路の出力をクロック入力として受けて入力状態を記憶する第3のフリップフロップと、前記通信クロック発生回路の出力を受けると、第3のフリップフロップが前記記憶する動作の完了後の出力値となっていること又は第3のフリップフロップの入力値と出力値とが一致していることを検出して前記検出信号を出力する検出回路と、を備えるものである。

【0011】この発明の周波数通信回路の第2の構成は、上述の構成の通信クロック発生回路と、以下の第3のフリップフロップと検出回路とを備えるものである。

第3のフリップフロップは、前記通信クロック発生回路の出力をクロック入力として受けて動作する1個以上の第4のフリップフロップを有する順序回路に、第4のフリップフロップと同数含まれて第4のフリップフロップに1対1に対応し、それぞれ対応する第4のフリップフロップの入力信号とすべき信号を自身の入力信号とし、それぞれ自身の出力信号を対応する第4のフリップフロップの入力信号として出力する。さらに、第3のフリップフロップは前記通信クロック発生回路の出力の立上がり(又は立下がり)のタイミングで動作し、第4のフリップフロップは前記通信クロック発生回路の出力の立下がり(又は立上がり)のタイミングで動作する。検出回路は、前記通信クロック発生回路の出力を受けると全ての第3のフリップフロップについて入力値と出力値とが等しいことを検出し、これを検出信号として通信クロック発生回路に出力する。

【0012】この発明の画面表示装置の構成は、上述の構成の通信クロック発生回路を有するものである。

【0013】

【作用】このような第1の構成のこの発明の周波数通信回路又はこの回路を有する画面表示装置にあっては、まず、通信クロック発生回路において、第1のフリップフロップにより通信クロックの1パルスの出力が基本クロックの立上がりで開始され、さらに、第2のフリップフロップにより通信クロックの1パルスの出力が基本クロックの立下がりでも開始される。また、検出信号を受けると、第1、第2のフリップフロップはどれも通信クロックのパルスの出力を停止する。よって、通信クロックのパルスが出力されていない状態では、その後の基本クロックの最初の立上がり又は立下がり何れのタイミングでも通信クロックの1パルスの出力が開始される。次に、この通信クロックのパルスの出力の開始を受けて、第3のフリップフロップが動作する。そして、検出回路がその動作完了後の状態を検出して検出信号を出力する。すると、この検出信号を受けて、第1、第2のフリップフロップが通信クロックの1パルスの出力を停止する。つまり、1パルス出力される。

【0014】以後は、基本クロックの立上がり又は立下がり検出される度に上述のことが繰り返される。したがって、基本クロックを受けてその立上がり又は立下がりエッジ毎に、すなわち基本クロックの半周期ごとに通信クロックのパルスが出力される。その結果、この発明では、従来必要とされていた外付けのコンデンサを使用せずに、ゲート素子とフリップフロップにより通信クロックを発生する回路が実現できるので、周波数通信回路を完全に1チップ化することが可能となる。

【0015】また、第4のフリップフロップを有する他の順序回路においてこの発明の周波数通信回路からの通信クロックを使用するときには、第4のフリップフロップの個数に応じて第3のフリップフロップの個数と検出

回路の入力数とが拡張されて上述の第2の構成の周波数
 通倍回路又はこの回路を有する画面表示装置となり、さ
 らに当該順序回路の構成も対応して拡張される。このよ
 うな第2の構成の周波数通倍回路又はこの回路を有する
 画面表示装置とすることで、それぞれに対応する第3、
 第4のフリップフロップは一对でいわゆるマスタースレ
 ーブ構成の1フリップフロップとしての機能を果たすこ
 とができる。そして、通倍クロックの立上がりでマスタ
 ー相当の第3のフリップフロップが動作し、その動作が
 完了したことを検出回路が検出してから検出信号が出さ
 れて通倍クロックが立下げられるので、第3のフリップ
 フロップの動作結果が確実なものとなる。

【0016】その後、通倍クロックの立下がりを受けて
 スレーブ相当の第4のフリップフロップが動作すること
 になるが、第4のフリップフロップの入力は全て一旦第
 3のフリップフロップを介することで安定状態にあるの
 で、マスタースレーブ構成の効果によりいわゆるレーシ
 ングの現象が発生することもない。したがって、この発
 明の構成の周波数通倍回路は、通倍クロックを使用する
 他の順序回路と協動して、確実に動作することができ
 る。よって、その順序回路等とともに1チップICに集
 積可能であり、しかも、外付けコンデンサが不要なので
 そのICのピンを1つ節約できる。なお、上記説明にお
 いて、通倍クロックの立上がりと立下がりとを入れ替え
 ても、単なる論理の対応付けの違いを除き同一の作用効
 果である。

【0017】

【実施例】以下、この発明の第1の構成の周波数通倍回
 路の一実施例について、図面を参照しながら詳細に説明
 する。図1は、この発明の基本構成を具体化した周波数
 通倍回路の例であり、図2は、その回路の動作を説明す
 るための各信号の波形例である。なお、図1における信
 号の符号と図2における信号の符号とは同一の符号をも
 って対応付けがなされている。図1で、211、21
 2、222はフリップフロップ、213はORゲート、
 231はANDゲート、232は否定付きの排他的OR
 ゲートである。

【0018】フリップフロップ211は、第1のフリップ
 フロップの具体例であり、一致検出信号Fをリセット
 入力端子Rに受けて出力値が初期化され（通倍クロック
 のパルス出力を停止し）、基本クロックAをクロック入
 力端子Cに受けてその立上りのタイミングで出力値が
 反転される。そして、出力端子Qから出力値を信号Aa
 として出力する（通倍クロックのパルス出力を開始す
 る）。フリップフロップ212は、第2のフリップフロ
 ップの具体例であり、一致検出信号Fをリセット入力端
 子Rに受けて出力値が初期化され、基本クロックAをク
 ロック入力端子Cに受けてその立下りのタイミングで
 出力値が反転される。そして、出力端子Qから出力値を
 信号Abとして出力する。

【0019】ORゲート213は、フリップフロップ2
 11、212の出力である信号Aa、Abの論理和を生
 成し、それを通倍クロックBとして出力する。フリップ
 フロップ211、212とORゲート213は通倍クロ
 ック発生回路210を構成し、この通倍クロック発生回
 路210は上述の構成により基本クロックAの立上がり
 立下がり通倍クロックBのパルスを立ち上げるもので
 ある。なお、ワイヤードOR構成を採用した場合にはO
 Rゲート213が省略可能である。

【0020】フリップフロップ222は、第3のフリッ
 プフロップの具体例としてのDフリップフロップであっ
 て、入力信号Hを入力端子Dに受け、通倍クロックBを
 クロック入力端子Cに受けてその立上りのタイミング
 で入力信号Hの値を取り込んで出力値とする。そして、
 出力端子Qから出力値を信号Jとして出力する。なお、
 このフリップフロップはDタイプに限られるものではな
 いが、このタイプを用いると検出回路の構成が容易であ
 る。また、フリップフロップ222は通常は通倍クロッ
 クBを用いる他の順序回路に付加されたり、その一部の
 フリップフロップを兼用することが多い。

【0021】排他的ORゲート232は、信号Hと信号
 Jとを受けてその値が一致していることを示す信号Gを
 出力する。フリップフロップ222がDタイプなので入
 力値と出力値の一致をもって動作完了確認の信号として
 よい。なお、論理の都合でここでは否定付きのものを採
 用している。ANDゲート231は、信号Gと通倍クロ
 ックBとを受けて、通倍クロックBのパルスを立ち下げ
 るタイミングを示す一致検出信号Fを発生する。AND
 ゲート231と排他的ORゲート232とが構成する一
 致検出回路230は検出回路の具体例であり、一致検出
 信号Fは検出信号の具体例である。

【0022】次に、図2の波形例を参照しながら図1の
 回路の動作を説明する。基本クロックAが立ち上がると
 （波形A参照）、それを受けたフリップフロップ211
 により信号Aaが立ち上がる（波形Aa参照）。そうす
 るとORゲート213により通倍クロックBも立ち上がる。
 このときまでは他の回路からの信号である信号Hの
 値と以前の値の記憶である信号Jとは一致しているか否
 かは定まらないが（波形Gの破線部分参照）、このとき
 からは通倍クロックBを受けたフリップフロップ222
 により信号H、Jは一致するので信号Gが出力される
 （波形Gの実線部分参照）。

【0023】そして、通倍クロックBが“1”のときに
 信号Gが出力されると、ANDゲート231により、一
 致検出信号Fが発せられる（波形F参照）。一致検出F
 をフリップフロップ211が受けると、信号Aaが立下
 がり、それに従って通倍クロックのパルスも立下がる。
 このようにして、基本クロックAの立上がりで、通倍ク
 ロックBのパルスが1つ発せられる。また、通倍クロッ
 クBの“0”状態を受けて一致検出信号も停止するの

で、最初の状態に戻る。

【0024】基本クロックAの立ち下がりの場合には、それを受けたフリップフロップ212により信号Abが立ち上がる（波形Ab参照）。そうするとORゲート213により通倍クロックBも立ち上がる。以後は、説明の複雑な繰り返しを避けるため詳細な説明は割愛するが、立ち上がりの場合と同様にして、基本クロックAの立下がりでも、通倍クロックBのパルスが1つ発せられる。

【0025】したがって、この発明の構成の周波数通倍回路では、コンデンサを用いることなく、基本クロックAから2倍の周波数の通倍クロックBを生成することができる。これにより従来必要であったコンデンサという外付け部品が不要となるので、周波数通倍回路を完全に1チップ化することができる。そうすると、部品点数が減少した分だけ組立てコストが下がって生産性が向上し、しかも、信頼性の低いコンデンサを排除した分だけ信頼性が向上する。

【0026】図3はこの発明の第2の構成の実施例としての周波数通倍回路の具体例であり、従来例の図4に対応するものである。フリップフロップ111は第1のフリップフロップの具体例であり、フリップフロップ112は第2のフリップフロップの具体例であり、NORゲート113はゲート回路の具体例であり、これらは通倍クロック発生回路110を構成する。この通倍クロック発生回路110は、既述の通倍クロック発生回路210と同様の構成、作用であり、基本クロックAの立ち上がり立下がり通倍クロックのパルスを出力するものである。ただし、論理の都合で負論理の通倍クロック*B（Bに対して反転する信号）を出力する。

【0027】フリップフロップ122a、123a、124a、125aは第3のフリップフロップの具体例であり、フリップフロップ122b、123b、124b、125bは第4のフリップフロップの具体例である。フリップフロップ122aと122b、123aと123b、124aと124b、125aと125bは、それぞれ対を成してマスタースレーブ構成の1フリップフロップとしての機能を果たすものであり、それぞれの対が従来例のそれぞれのフリップフロップ22、23、24、25に対応するものである。よって、これらのフリップフロップ122a～125a、122b～125bとフリップフロップ121、126とゲート127が構成する分周回路120は、従来例の分周回路20と相似の構成であり、通倍クロック*Bをクロックとして同様の作用により同等の分周信号Eを発生することができる。

【0028】一致検出回路130は、ゲート131、132、133、134、135から構成され、通倍クロック*Bの立下がりを受けてマスター相当のフリップフロップ122a～125aが動作し、フリップフロップ

122a～125aのそれぞれが全て入力信号の値と出力値とが一致すると、一致検出信号Fを出力する。この一致検出信号Fを受けて初めてフリップフロップ111、112がリセットされて通倍クロック*Bが立上げられるので、マスター側の全ての動作が完了したことが確認されるまで通倍クロック*Bのパルス状態が保持される。これによりマスター側のフリップフロップの動作結果が確実なものとなる。

【0029】その後、通倍クロック*Bの立ち上がりを受けて、スレーブ相当のフリップフロップ122b～125bが動作する。これらのフリップフロップの入力は全て一旦マスター側のフリップフロップを介すことで安定状態にあるので、スレーブ側のフリップフロップ122b～125bはいわゆるレーシングを起こすことなく安定して動作することができる。したがって、通倍クロック発生回路110と一致検出回路130とで構成されるこの周波数通倍回路は、通倍クロック*Bを使用するために拡張された分周回路120と協調して、例えばAFC回路の前段として確実に動作することができる。

【0030】その結果、この発明の構成の周波数通倍回路は、外付けコンデンサが不要なので、分周回路等の他の順序回路やゲート回路などとともに1チップICに集積することができる。しかも、検出回路が動作完了を確認するので温度変化の影響を受けることがない。すなわち、コンデンサ使用時における温度変化の影響により通倍クロックのパルス幅が変動してフリップフロップの動作が不安定になるといった不都合が解決され、確実に動作することができる。よって、信頼性が向上する。

【0031】また、図4に、コンデンサを用いることなく基本クロックAからその通倍クロックBを発生するこの通倍回路210を有する画面表示装置を示す。ここで、300は一致検出回路230等を含んだAFC回路であり、これは、通倍クロックBから15.75KHzのリセット信号Gを生成する。また、310は画像表示処理用のIC（OSD）であり、これは、通倍クロックBの分周クロックをドットクロックとして受けてスーパーインポーズの処理を行う。従来のコンデンサを用いた通倍方法では通倍クロックBの周期が温度によって変化することから、この分周クロックの周期が不安定であった。このため、この分周クロックを受けるIC310に関して、かかる温度特性をも考慮して十分に余裕を持って高速に動作するように設計することが必要とされた。

【0032】これに対し、この発明の通倍回路210では、上述の如く基本クロックの立ち上がり及び立下がりのタイミングを利用していることから、コンデンサ等が不要で温度特性による不都合がない。そこで、この発明の画面表示装置では、分周クロックの温度特性を考慮する必要がなく、IC310の設計が容易となる。特に、クロックが安定した分だけ処理速度に余裕が生じて、設計が容易あるいは回路が簡易になる。そして、このIC3

10によりスーパーインポーズ処理されたビデオ信号がディスプレイ上に表示される。

【0033】

【発明の効果】以上の説明のとおり、この発明の構成の周波数通倍回路又はこの回路を有する画面表示装置では、外付けコンデンサを使用しないで、通倍クロックを発生させることができるので、その回路全体の完全な1チップ化が実現可能である。その結果、回路基板上に搭載すべき外付け部品が減って組立てコストが下がり、また、経時変化、温度変化しやすく信頼性の低い部品が10減るので回路の信頼性が向上するという効果がある。

【図面の簡単な説明】

【図1】図1は、この発明の第1の構成の周波数通倍回路の一実施例である。

【図2】図2は、その回路の動作を説明するための各信号の波形例である。

【図3】図3は、この発明の第2の構成の周波数通倍回路を応用した回路の一実施例である。

【図4】図4は、この発明の画面表示装置の一実施例である。

【図5】図5は、従来の構成の周波数通倍回路を応用した回路の一例である。

【符号の説明】

- 10 通倍回路
- 11 コンデンサ
- 12 抵抗
- 20 分周回路
- 21, 22, 23, 24, 25, 26 フリップフロップ

27 NORゲート

110 通倍クロック発生回路

111, 112 フリップフロップ

113 NORゲート

120 分周回路

121, 122a, 122b, 123a, 123b フ

リップフロップ

124a, 124b, 125a, 125b, 126 フ

リップフロップ

127 NORゲート

130 一致検出回路

131 ANDゲート (負論理NORゲート)

132, 133, 134, 135 排他的ORゲート

210 通倍クロック発生回路

211, 212 フリップフロップ

213 ORゲート

222 フリップフロップ

230 一致検出回路

231 ANDゲート

20 232 否定付きの排他的ORゲート

300 AFC回路

310 画面表示処理IC (OSD)

A 基本クロック

B 通倍クロック

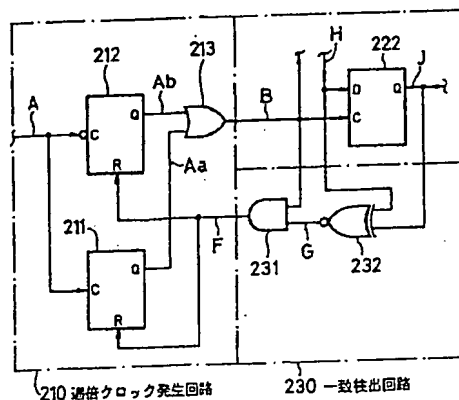
C 分周比切換え信号

D リセット信号

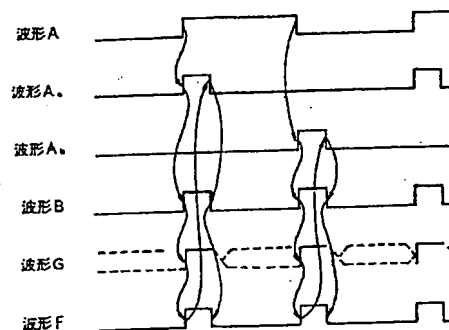
E 分周信号

F 一致検出信号

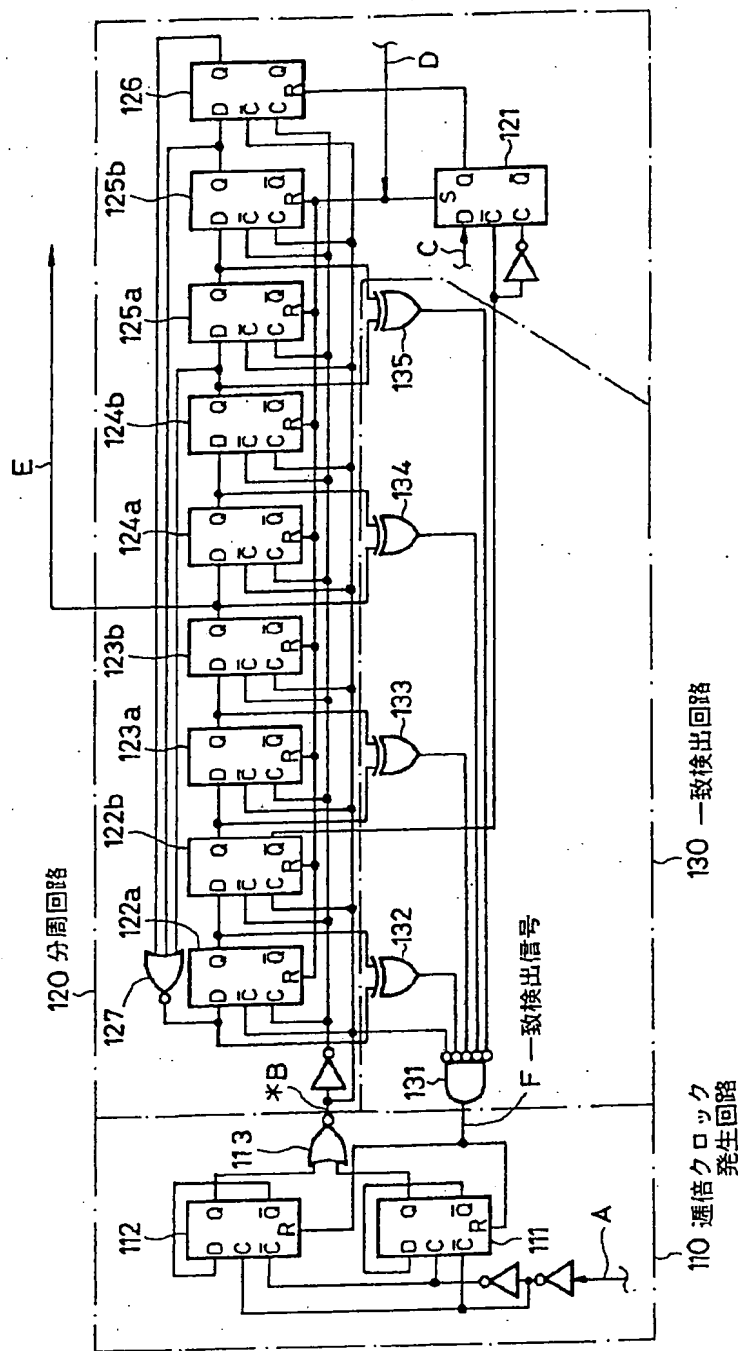
【図1】



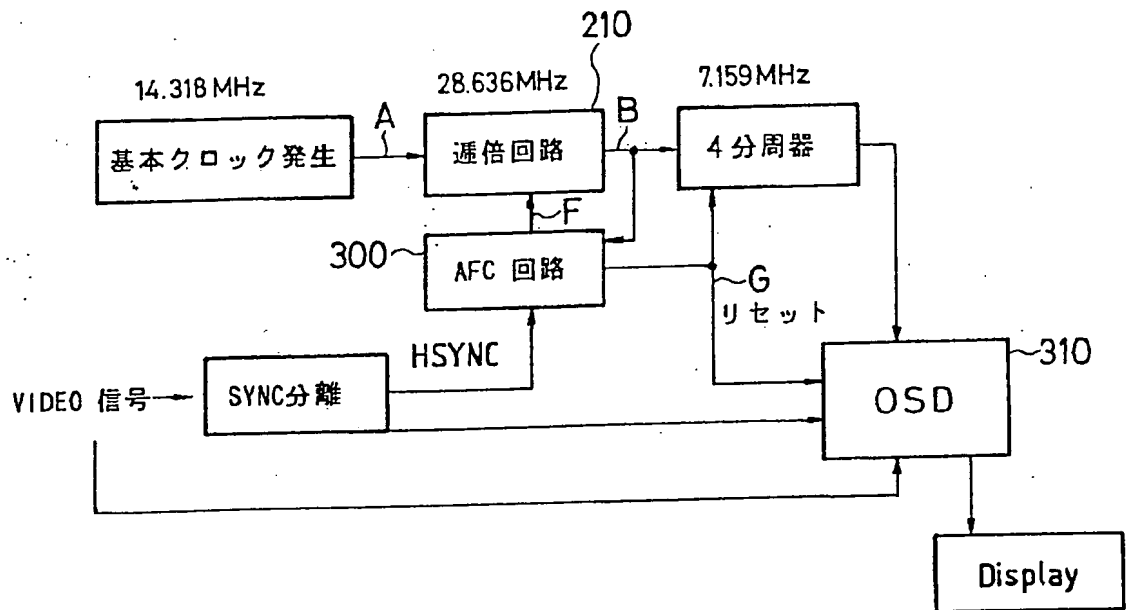
【図2】



【図3】



【図4】



【図 5】

